

순번

156

기술명

고효율 마이크로 열전소자

- 특허 번호 : 10-2015-0058749 • 보유 기관 : 한국기계연구원
- 패밀리정보 : 없음
- 패키징특허 : 10-2013-0009662, 10-2008-0029954, 10-2010-0075959

기술개요

- 마이크로 열전 소자의 제조 공정을 단순화하고, 고온에서도 N타입, P타입 반도체 층을 형성시키는 것이 가능한 열전 소자 제조 기술
- 활용처 : WSN, 무선 전자제품, 휴대용 전자제품, MEMS, 웨어러블 컴퓨터, 심장박동기 등

기존 한계점

- 웨도우 마스크가 연질 재료이므로 P타입, N타입 반도체층을 고온 증착하는 것이 어려움
- 웨이퍼의 열팽창 계수와 웨도우 마스크의 열팽창 계수가 다르므로 기판상에 잔류 응력이 발생

기술 차별점

- 고온에서도 P타입, N타입 반도체층을 고온 증착시키는 열전 소자 제조 방법을 제공
- 마스크와 웨이퍼의 열팽창 계수 차이로 발생하는 잔류 응력을 제거하는 열전 소자 제조 방법을 제공

세부내용

- 열전모듈의 구조 및 치수를 결정하기 위하여 유한요소 해석 기법을 이용하여 설계함
- Co - sputtering과 co - evaporating을 이용하여 열전박막의 최적 증착조건을 확보함
- 개발된 박막형 열전모듈의 성능을 평가하기 위한 측정기술을 개발함
- 접합공정을 위한 전용지그를 설계 제작하고, 접합물질을 선정평가한 후 접합조건을 최적화함으로써 접합공정을 개발함

대표 이미지



문의처

- 국가과학기술연구회 공동TLO마케팅사무국 엄예지 선임연구원
- T. 042-862-6986 E-mail. yjeum@wips.co.kr

순번 157

기술명 **섬유 일체형 탑 게이트 구조의 박막 트랜지스터 및 그 제조방법**

- 특허 번호 : 10-2015-0045212
- 보유 기관 : 한국전기연구원
- 패밀리정보 : 없음
- 패키징특허 : 없음

기술개요

- 게이트 절연체 층 위에 게이트 전극이 형성된 섬유 일체형 탑 게이트(Top-Gate) 구조의 박막 트랜지스터에 관한 기술
- 활용처 : IT와 섬유기술의 융합기술, 전기전도성이 뛰어난 섬유소재, 전자섬유 기반 트랜지스터 및 집적회로

기존 한계점

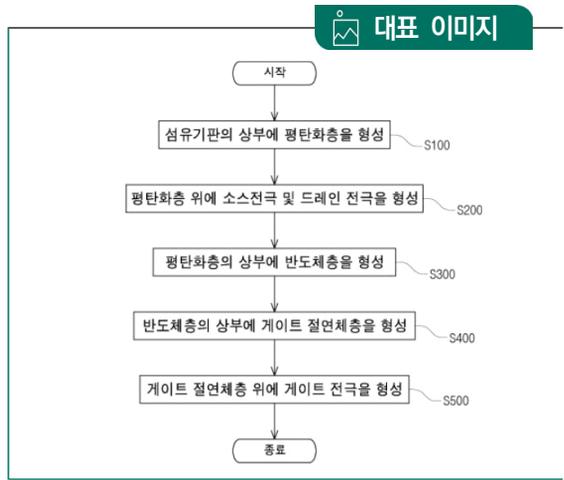
- 종래 섬유형 트랜지스터 기술은 낮은 반도체 전하이동도와 높은 구동전압, 반복 굽힘에 대한 신뢰성 저하 등의 문제가 있음
- 섬유나 직물의 평탄도 문제와 얇은 박막을 균질하게 형성하기 어려우며, 느린 스핀코팅 속도와 액상으로 인한 누출위험, 반복적 굽힘 등에 의한 전자소재 신뢰성 저하 문제가 있음

기술 차별점

- 연속 코팅을 통해 평탄화 층, 반도체 층 및 게이트 절연체 층이 적층 형성됨으로써, 저전압, 빠른 동작 속도 및 고신뢰성의 특성을 보임

세부 내용

- 섬유로 이루어진 기판의 상부에 평탄화 층을 형성, 소스 전극 및 드레인 전극이 형성된 평탄화 층의 상부에 반도체 층을 형성, 반도체 층의 상부에 게이트 절연체 층을 형성함



문의처

- 국가과학기술연구회 공동TLO마케팅사무국 엄예지 선임연구원
- T. 042-862-6986 E-mail. yjeum@wips.co.kr

순번

158

기술명

수열합성법을 이용한 대면적 Fe₂O₃ 물분해용 광전극 제조 방법 및 그 광전극

● 특허 번호 : 10-2012-0137687

● 보유 기관 : 한국전기연구원

● 패밀리정보 : 없음

● 패키징특허 : 없음

기술개요

- 광 전극의 크기가 소면적 광전극에 대한 연구가 이루어져 왔으나, 소면적의 광전극을 사용해서는 수소 발생량을 증대시킬 수가 없음에 따라 대면적의 광전극을 제조하는 방법
- 활용처 : 반도체 산화물 전극, 반도체

기존 한계점

- 소면적의 광전극을 사용해서는 수소 발생량을 증대시킬 수가 없음
- 수열합성법은 광전극의 기판으로 FTO 글라스와 같은 투명전도성 기판을 사용할 경우 전극의 면적이 증가함에 따라 전극 기판의 내부 저항으로 광전류 밀도가 급격히 감소하는 현상이 불가피함

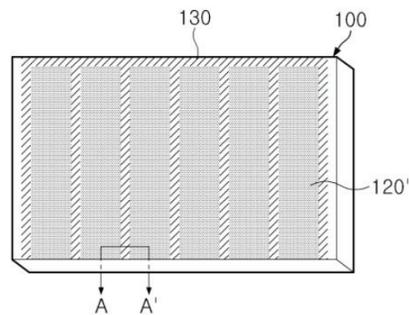
기술 차별점

- 대면적의 광전극 제조에 적합한 수열합성법에 의해 높은 광전류 밀도를 갖는 고효율 광전극을 제조할 수 있음
- 광전극의 면적 증가에도 광전류 밀도의 저하를 억제하는 효과적인 구조를 제공

세부내용

- 투명전도성 기재를 제공, 투명전도성 기재 상에 마스크 패턴을 형성, 마스크 패턴이 규정하는 투명 전도성 기재의 개방 영역에 반도체 산화물 전구체 패턴을 형성함
- 투명전도성 기재상의 마스크 패턴을 제거, 반도체 산화물 전구체 패턴이 형성된 투명전도성 기재를 열처리하여 반도체 산화물 전극부를 형성, 및 제거된 마스크 패턴에 대응하는 영역에 금속 전극부를 형성함

대표 이미지



문의처

- 국가과학기술연구회 공동TLO마케팅사무국 엄예지 선임연구원
- T. 042-862-6986 E-mail. yjeum@wips.co.kr

순번 **159** 기술명 **실리콘 카바이드 반도체 소자의 제조방법**

● 특허 번호 : 10-2016-0137796 ● 보유 기관 : 한국전기연구원
 ● 패밀리정보 : 없음
 ● 패키징특허 : 없음

기술개요

- 역방향 동작시 FLR 영역의 코너부에 발생되는 전계의 집중을 완화할 수 있는 실리콘 카바이드 반도체 소자를 제조하는 방법
- 활용처 : 반도체, 실리콘 카바이드 소자

기존 한계점

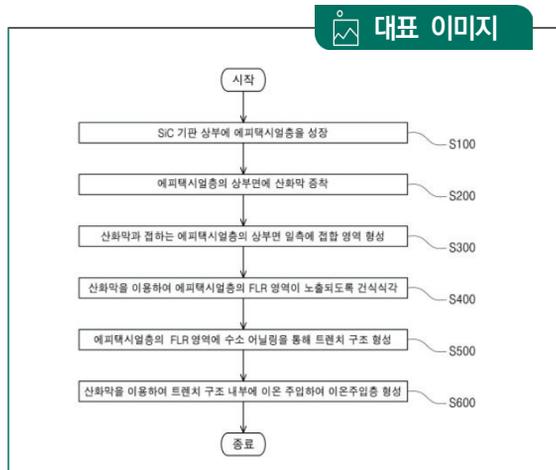
- 실리콘 카바이드(SiC)는 고전압, 고온 및 고주파수 소자에 매우 유용한 재료이나, 고온 열처리 공정과 같은 소자의 제작공정을 어렵게 함
- FLR의 깊이가 깊을수록 높은 항복전압을 가질 수 있게 되는데, 고에너지 이온주입 기법을 활용한다 하더라도 실리콘 카바이드(SiC) 내에 1 μm 이상의 깊이로 알루미늄(Al)을 주입하기가 어렵다는 문제점이 있음

기술 차별점

- 기존의 직각 형태의 FLR 영역에서 코너부에 집중되는 전계를 감소시키고 동시에 깊은 p+ 접합을 형성하여 높은 항복전압을 취할 수 있는 효과가 있음

세부 내용

- 실리콘 카바이드(SiC) 기판의 상부에 에피택시얼층을 성장, 에피택시얼층의 상부면에 산화막(SiO₂)을 증착한 후 불순물 이온을 주입하여 접합 영역을 형성, FLR(Field Limiting Ring) 영역이 노출되도록 건식 식각하며, FLR 영역의 바닥면에 트렌치 구조를 형성, 트렌치 구조 내부에 소정 농도의 이온을 주입하여 이온주입층을 형성하는 단계로 구성됨



문의처

- 국가과학기술연구회 공동TLO마케팅사무국 엄예지 선임연구원
- T. 042-862-6986 E-mail. yjeum@wips.co.kr

순번

160

기술명

전계제한링이 형성된 전력반도체용 소자 및 그 제조방법

● 특허 번호 : 10-2015-0145820

● 보유 기관 : 한국전기연구원

● 패밀리정보 : 없음

● 패키징특허 : 없음

기술개요

- 접합종단부 처리 기술의 하나인 전계제한링 구조에서 전계제한링의 접합깊이를 선형적으로 증가 또는 감소하도록 변화시켜 탄화규소 전력 반도체 소자의 항복전압을 증가시킬 수 있도록 하는 전계제한링이 형성된 전력반도체용 소자에 관한 기술
- 활용처 : 전력반도체 소자, 다이오드(diode), 바이폴라 접합 트랜지스터(bipolar junction transistor), 사이리스터(thyristor) 류의 바이폴라 계열 소자

기존 한계점

- 기존의 접합종단 연장 구조의 경우 설계 및 최적화가 힘들며 높은 항복전압을 얻기 위해서는 접합종단 연장부의 길이가 길어야 함
- 전계제한링의 경우 높은 항복전압을 얻기 위해서는 많은 개수의 링이 필요하기 때문에 접합종단 영역이 커지게 된다는 단점이 있음. 또한, 모든 링이 동일한 접합깊이를 가지고 있기 때문에 최적화가 되지 않으며, 항복전압이 저하될 가능성이 큼

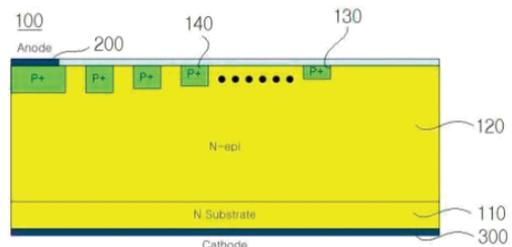
기술 차별점

- 접합종단부 처리 기술의 하나인 전계제한링 구조에서 전계제한링의 접합깊이를 선형적으로 증가 또는 감소하도록 변화시켜 탄화규소 전력 반도체 소자의 항복전압을 증가시킬 수 있음

세부내용

- 에피층에 형성된 주 접합, 주 접합으로부터 일정 간격만큼 이격되며 복수의 전계제한링을 포함
- 접합종단부 처리 기술의 하나인 전계제한링 구조에서 전계제한링의 접합깊이를 선형적으로 증가 또는 감소하도록 변화시켜 탄화규소 전력 반도체 소자의 항복전압을 증가시킴

대표 이미지



문의처

- 국가과학기술연구회 공동TLO마케팅사무국 엄예지 선임연구원
- T. 042-862-6986 E-mail. yjeum@wips.co.kr

순번 **161** 기술명 **전력용 MOSFET의 자기정렬식 제조방법**

● 특허 번호 : 10-2010-0070438 ● 보유 기관 : 한국전기연구원
 ● 패밀리정보 : 없음
 ● 패키징특허 : 없음

기술개요

- 전류의 흐름을 제어하는 P형 반도체인 p-well과 전자 공급을 용이하게 하는 N형 반도체인 소스를 자기정렬식 방법으로 형성시켜 신뢰성 높고 제조비용을 절감할 수 있는 전력용 MOSFET의 자기정렬식 제조방법에 관한 기술
- 활용처 : 금속산화막 반도체 전계효과 트랜지스터(MOSFET), 반도체

기존 한계점

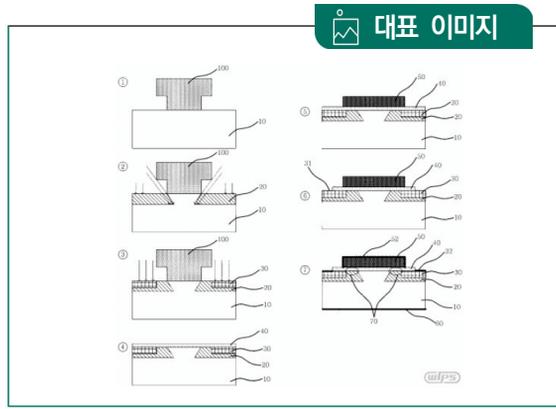
- 종래의 전력용 MOSFET은 두 번의 포토마스크 공정이 필요함에 따라 p-well영역과 소스영역 사이에 패턴정렬 오차가 발생할 수 있으며, 유효 게이트의 길이가 서로 달라져 누설전류, 항복전압 및 신뢰성에 있어서 문제점이 있음
- 제조시 2개의 마스크를 사용하여야 하므로 제조공정이 복잡해지고 제조비용이 상승하게 되는 문제점이 있음

기술 차별점

- T자형의 마스크를 통해 p-well 영역과 소스 영역 사이의 패턴정렬 오차가 최소화되므로, 유효 게이트의 길이가 오차없이 일정하게 형성되도록 하여 신뢰성을 확보할 수 있음
- 기존에 사용하던 2개의 마스크를 대신해 T자형의 마스크 하나만을 사용하여 p-well 영역과 소스 영역 형성시킬 수 있으므로 제조공정을 간소화하고 제조비용을 절감할 수 있는 장점이 있음

세부 내용

- 단면이 T자 형상인 마스크를 제작, 마스크에 엑셉터 이온을 주입하여 p-well 영역을 형성, p-well 영역에 도너 이온을 주입하여 소스 영역을 형성함
- 주입된 이온을 전기적으로 활성화시킨 후 게이트 산화막을 증착, 폴리실리콘을 이용하여 게이트를 형성하며, 양단을 일정 간격 식각하여 소스접촉부를 형성



문의처

- 국가과학기술연구회 공동TLO마케팅사무국 엄예지 선임연구원
- T. 042-862-6986 E-mail. yjeum@wips.co.kr

순번

162

기술명

트렌치-게이트 축적모드 탄화규소 금속 산화막 반도체 전계효과 트랜지스터에서 자기정렬된 엔-베이스 채널 형성 방법

- 특허 번호 : 10-2011-0060811
- 보유 기관 : 한국전기연구원
- 패밀리정보 : 없음
- 패키징특허 : 없음

기술개요

- 트렌치-게이트 축적모드 MOSFET(Accumulation-mode MOSFET: AccuFET)에서 항복전압과 온저항 특성에 주도적인 영향을 미치는 채널이 형성되는 n-base 층 두께를 일정하게 제작하기 위한 공정에 관한 기술
- 활용처 : MOSFET, 탄화규소(SiC)를 기반의 MOSFET, 트렌치-게이트형 MOSFET

기존 한계점

- 종래의 AccuFET의 n-base 층의 두께가 이온주입 조건에 의해 결정되기 때문에 전자이동도가 낮아져 온저항이 높아지고 역시 2번의 포토작업을 필요로 함

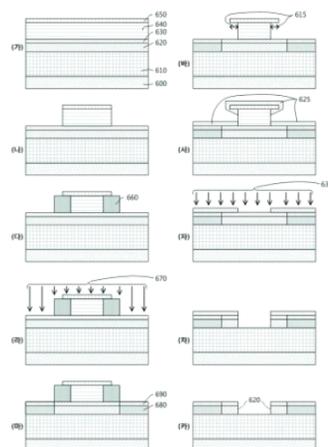
기술 차별점

- 한 번의 포토작업으로 게이트 트렌치와 p-base층을 자기정렬시킴에 따라 채널이 형성되는 일정한 두께의 n-base 층을 얻을 수 있음
- 균일한 항복전압 및 온저항 특성을 얻을 수 있어 우수한 소자특성을 얻을 수 있음

세부 내용

- 트렌치-게이트 축적모드 MOSFET 에서 항복전압과 온저항 특성에 주도적인 영향을 미치는 채널이 형성되는 n-base 층 두께를 일정하게 만들기 위해 n형 고농도 탄화규소 기판 위에 특정한 항복전압 및 온저항을 결정하는 n형 저농도 드리프트 층 위에 MOSFET의 채널이 형성될 n-base 층 위에 고농도 n형 n-source 층으로 구성된 박막기판 위에 자기정렬을 위한 이온주입마스크 역할을 할 폴리실리콘 위에 실리콘질화막을 증착함

대표 이미지



문의처

- 국가과학기술연구회 공동TLO마케팅사무국 엄예지 선임연구원
- T. 042-862-6986 E-mail. yjeum@wips.co.kr